

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 09097816
PUBLICATION DATE : 08-04-97

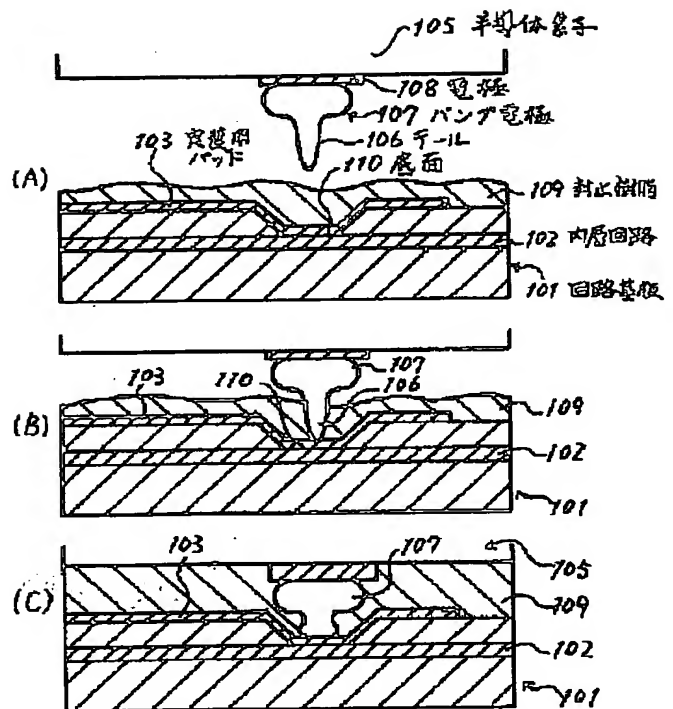
APPLICATION DATE : 22-07-96
APPLICATION NUMBER : 08192150

APPLICANT : NEC CORP;

INVENTOR : MURAKAMI ASAO;

INT.CL. : H01L 21/60 H05K 3/32

TITLE : MOUNTING METHOD AND MOUNTING
STRUCTURE OF SEMICONDUCTOR
DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To prevent faulty connections together with maintaining a good connection state for a long time.

SOLUTION: A semiconductor element 105 is provided with a bump electrode 107 having a plurality of pointed tails 106 at least on its one surface. On the other hand, a circuit board 101 is formed of a laminated structure having an inner layer circuit 102, and a pad 103 for mounting is formed on the board 101. A pad 103 for mounting has a recessed part and the base 110 of the recessed part is in contact with a part of the inner layer circuit 102. Further, sealing resin 109 is in advance provided on the board 101. The tail 106 is deformed by pressing the bump electrode 107 on the recessed base 110 of the pad 103 for mounting so that a contact part between the bump electrode 107 and the pad 103 for mounting may gradually expand from a point to a surface. After the tail 106 is sufficiently deformed, sealing resin 10 is cured.

COPYRIGHT: (C)1997,JPO

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-97816

(43)公開日 平成9年(1997)4月8日

(51)Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 S 3 1 1 Q
H 0 5 K 3/32		7128-4E	H 0 5 K 3/32	C

審査請求 有 請求項の数10 O L (全 8 頁)

(21)出願番号 特願平8-192150

(22)出願日 平成8年(1996)7月22日

(31)優先権主張番号 特願平7-191737

(32)優先日 平7(1995)7月27日

(33)優先権主張国 日本 (J P)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 村上 朝夫

東京都港区芝五丁目7番1号 日本電気株式会社内

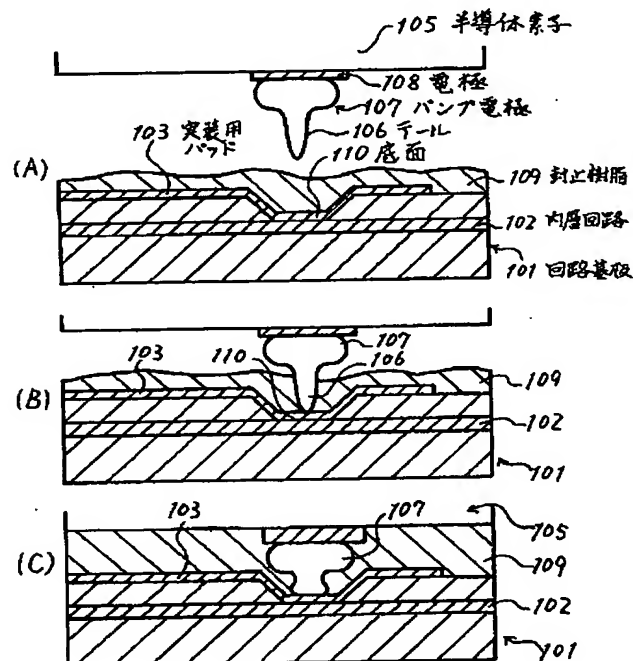
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の実装方法および実装構造

(57)【要約】

【課題】 接続不良を防止するとともに、良好な接続状態を長時間維持する。

【解決手段】 半導体素子105は、少なくともその一表面に複数の尖状のテール106を有するバンプ電極107が備えられている。一方、回路基板101は、内層回路102を有する積層構造により形成され、基板101上には実装用パッド103が形成されている。実装用パッド103は、凹部を有し、該凹部の底面110が内層回路102の一部と接触している。また、基板101上には封止樹脂109が予め備えられている。バンプ電極107を実装用パッド103の凹部底面110に押しつけて、バンプ電極107と実装用パッド103との接触部分が、点から面に徐々に拡大していくように、テール106を変形させる。テール106が十分に変形された後、封止樹脂109を硬化させる。



【特許請求の範囲】

【請求項1】 複数の突起電極を備える半導体装置を、実装用パッドが形成された基板に実装する方法であって、

前記基板上の半導体装置が実装される領域上に、前記突起電極と前記実装用パッドとを接触させる前に、封止樹脂を予め供給し、

前記突起電極を前記実装用パッドに押しつけて、前記突起電極の先端を該突起電極と前記実装用パッドとの接触面積が点から面に拡大するように変形させた後、前記封止樹脂を硬化させることを特徴とする半導体装置の実装方法。

【請求項2】 前記突起電極は、変形前は、略球状の部材と該球状部材の先端に配置された尖状の部材とを備えており、

該突起電極を前記実装用パッドに押しつけることによって、前記尖状部材をつぶすように変形することを特徴とする前記請求項1に記載の半導体装置の実装方法。

【請求項3】 前記尖状部材を、変形前の該尖状部材の長さの少なくとも50パーセント以下の長さになるまで、変形することを特徴とする前記請求項2に記載の半導体装置の実装方法。

【請求項4】 前記封止樹脂に対し所定の熱量を加えるか、あるいは該封止樹脂に対し紫外光を照射することによって、該封止樹脂を硬化することを特徴とする前記請求項1に記載の半導体装置の実装方法。

【請求項5】 基板上の半導体装置が実装される領域上に、前記半導体装置に設けられる突起電極と前記基板上に形成された実装用パッドとを接触させる前に封止樹脂を予め供給し、
前記突起電極を前記実装用パッドに押しつけて、前記突起電極の先端を該突起電極と前記実装用パッドとの接触面積が点から面に拡大するように変形させた後、前記封止樹脂を硬化させる半導体装置の実装方法であって、
前記基板は、その内部に、前記突起電極から前記実装用パッドへ加わる押圧力を分散させる内層部材を有する積層構造により形成され、
前記実装用パッドは、凹部を有し、該凹部の底面が前記内部導電層の一部と接触するものであって、
前記突起電極は、前記実装用パッドの凹部底面に対して加圧圧接されることを特徴とする半導体装置の実装方法。

【請求項6】 前記実装用パッドの凹部の開口部分の大きさは、該凹部の底面の大きさよりも小さく形成されており、

前記突起電極の先端の径を、前記開口部分の径よりも大きくするまで、該先端を変形させることを特徴とする前記請求項5に記載の半導体装置の実装方法。

【請求項7】 半導体装置を基板に実装した構造であって、

前記基板上に設けられる実装用パッドと、
前記半導体装置の前記基板側の面に設けられ、略球状の第1の部分と該第1の部分の先端に配置され前記実装用パッドに加圧圧接されて該実装用パッドとの接触部分が点から面へと拡大するように変形された第2の部分とを含んで形成される複数の突起電極と、
前記基板と前記半導体装置との間に配置される封止樹脂とを備える半導体装置の実装構造。

【請求項8】 前記第2の部分は、変形前は、尖状形状を有しており、変形後の長さは、該変形前の長さの少なくとも50パーセント以下であることを特徴とする前記請求項7に記載の半導体装置の実装構造。

【請求項9】 前記基板は、その内部に導電層を有する積層構造により形成され、

前記実装用パッドは、凹部を有し、該凹部の底面が前記内部導電層の一部と接触し、

前記突起電極は、前記実装用パッドの凹部底面に接触していることを特徴とする前記請求項8に記載の半導体装置の実装構造。

【請求項10】 前記実装用パッドの凹部の開口部分の大きさは、該凹部の底面の大きさよりも小さく形成されており、

前記第2の部分の径は、前記開口部分の径よりも大きいことを特徴とする前記請求項9に記載の半導体装置の実装構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置を基板に実装する方法およびその実装構造に関し、特に、フリップチップ方式による半導体装置を基板に実装する方法およびその実装構造に関する。

【0002】

【従来の技術】近年、電子機器の小型化、低価格化に伴い、半導体素子を基板に高密度で実装するための構造が簡略化されてきている。このような簡略化された構造を有する半導体素子の高密度実装構造としてフリップチップ方式が提案されている。

【0003】フリップチップ方式は、複数のバンプ電極が少なくとも一つの面に実装された半導体素子を、その面をフェイスダウンさせて回路基板に接続するものであり、特開平4-82241号公報に開示されている。

【0004】図9(A)および(B)を参照して、従来のフリップチップ実装構造について説明する。

【0005】基板1上に、ゴム等の弾性回復力を有する物質からなる絶縁性樹脂層2が形成されている。さらに、絶縁性樹脂層2上にスパッタリング法あるいは蒸着法により実装用パッド3が形成されている。絶縁性樹脂層2上の半導体素子4が基板1に固定される領域であって、基板1上の実装用パッド3が形成される領域も含む領域に封止樹脂5が塗布されている。一方、半導体素子

4の基板1側の面には、複数のバンパ電極6が形成されている。

【0006】まず、半導体素子4の下面に設けられる複数のバンパ電極6と基板1上の実装用パッド3との位置合わせを行い、次いで、半導体素子4が基板1上加圧圧接される。この際、半導体素子4のバンパ電極6と基板1上の実装用パッド3との間に存在していた封止樹脂5が押し出されるため、バンパ電極6と実装用パッド3とが電気的に接続される。この従来のフリップチップ実装構造では、基板1と実装用パッド3との間に弾性回復力を有する絶縁性樹脂層2が形成されているために、絶縁性樹脂層2の弾性回復力と封止樹脂5の収縮力によってバンパ電極6と実装用パッド3との電気的接続が安定して保持される。

【0007】

【発明が解決しようとする課題】しかしながら、この従来のフリップチップ実装構造では、温度サイクル試験等の加速試験において絶縁性樹脂層2の弾性回復力および封止樹脂5の収縮力が劣化しやすく、結果として、封止樹脂5の熱膨張量とその収縮力および絶縁性樹脂層2の弾性回復力を上回り、バンパ電極6と実装用パッド3の間に隙間が形成される。したがって、バンパ電極6と実装用パッド3との間に形成された隙間が原因で、半導体素子4と基板1とが接続不良を起こす。

【0008】さらに、この従来のフリップチップ実装構造では、実装用パッド3および絶縁性樹脂層2を弾性変形させた状態で、半導体素子4と基板1とを接続させている。そのため、温度変化により封止樹脂5の収縮力と絶縁性樹脂層2の弾性回復力とのバランスが変化した場合、それに伴って実装用パッド3の変形状態も変化する。このように、温度変化により、実装用パッド3にかなりのストレスが加わることになり、その結果、実装用パッド3が損傷して、断線等が生じるケースもある。

【0009】さらに、従来のフリップチップ構造では、基板1上に弾性回復力を有する絶縁性樹脂層2を形成する必要があるために、製造工程の複雑化、高コスト化を避けることはできない。

【0010】さらに、従来のフリップチップ実装構造では、球状のバンパ電極を予め塗布された封止樹脂中に埋入させて、このバンパ電極と実装用パッドとの接続を図っているために、バンパ電極と実装用パッドとの間に封止樹脂が残留した状態で両者が接続されてしまう。したがって、バンパ電極と実装用パッドとの間に不要な封止樹脂が残留しているために、接続状態が極めて不安定であるという問題点もある。

【0011】

【課題を解決するための手段】上記問題点を解決するために、本発明の半導体装置の実装方法は、複数の突起電極を有する半導体装置を基板に実装する方法であって、基板上には実装用パッドが予め形成されているとともに

に、基板上の前記半導体装置が実装される領域上には封止樹脂が予め備えられ、突起電極を実装用パッドに押しつけて、突起電極の先端を突起電極と実装用パッドとの接触面積が点から面に拡大するように変形させた後、封止樹脂を硬化させるものである。

【0012】また、本発明の半導体装置の実装構造は、基板上に設けられる実装用パッドと、半導体装置の基板側の面に設けられ、略球状の第1の部分と実装用パッドに加圧圧接されて該実装用パッドとの接触部分が点から面へと拡大するように変形された第2の部分とを含んで形成される複数の突起電極と、基板と半導体装置との間に配置される封止樹脂とを備えるものである。

【0013】

【発明の実施の形態】本発明の第1の実施形態について、図1(A)～(C)を参照して詳細に説明する。

【0014】図1(A)を参照すると、内層回路102を有する積層構造の回路基板101上には、底面110が内層回路102と接するような凹状の実装用パッド103が設けられている。一方、半導体素子105の回路基板101側の面には、尖状のテール106を有する複数のバンパ電極107が電極108を介して設けられている。

【0015】図1(A)では、回路基板101上に封止樹脂109が供給され、実装用パッド103にバンパ電極107を対向させるように、半導体素子105が回路基板101に対して位置合わせされている。

【0016】図1(B)を参照すると、半導体素子105を回路基板101に対し押しつけて、バンパ電極107のテール106を封止樹脂109中に埋入させる。埋入したテール106の先端は、実装用パッド103の底面110に当接する。さらに、半導体素子105を回路基板101に対して押圧して、図1(C)に示すように、バンパ電極107のテール106を塑性変形させて実装用パッド103の底面110に圧接させる。そして、封止樹脂109を半導体素子105のバンパ電極103が設置された面にも接着させた状態で、封止樹脂109を加熱硬化させる。

【0017】本実施形態では、半導体素子105のバンパ電極107が回路基板101の実装用パッド103上に接触した後、さらに、バンパ電極107を実装用パッド103に強く押しつけたとしても、実装用パッド103の底面110に接して下層に形成された内層回路102が、バンパ電極107による実装用パッド103への押圧力を分散させる。したがって、実装用パッド103がその押圧力により変形することはなく、バンパ電極107のテール106のみが塑性変形するために、実装用パッド103の損傷に対する信頼性を保持したまま、確実にバンパ電極107を実装用パッド103に接続することができる。

【0018】また、本実施形態では、圧接工法用樹脂の

特性として硬化収縮率が熱膨張率よりも大きいものを封止樹脂109として用いている。この封止樹脂109を介して半導体素子105を回路基板101に高温加熱加圧して実装すると、封止樹脂109は高い収縮率を得てバンパ電極107と実装用パッド103とを確実に接続させることができる。また、高温環境下においても硬化収縮率が熱膨張率を上回っているためバンパ電極107を実装用パッド103から離そうとする力が働かず、したがって、接続状態が不安定になることはない。

【0019】また、半導体素子105のバンパ電極107のテール106の形状が尖状であるために、バンパ電極107を実装用パッド103に押しつけてテール106を変形させることにより、バンパ電極107の先端と実装用パッド103との接触部分が点から面へ広がる。したがって、実装用パッド103上に存在していた封止樹脂109が、確実にテール106とパッド103との接触部分から排除される。バンパ電極107と実装用パッド103の挟雑物のない確実な接続を得ることができる。

【0020】次に、本発明の第1の実施形態を図2(A)～(D)、図3(A)～(D)、図4(A)、(B)および図5を参照して、さらに詳細に説明する。

【0021】図2(A)には、半導体素子が実装されていない状態の回路基板が示される。回路基板101上に設けられた実装用パッド103は凹形状を有しており、その凹部の底面110が回路基板の内層回路102と接続されている。

【0022】ここで、このような実装用パッドが設けられた回路基板の製造方法について図3(A)～(D)を参照して説明する。

【0023】回路基板は、プリント配線基板上に樹脂層を積みフォビアホールで各層の接続を取るような、いわゆる、ビルドアップ工法におけるフォビアホールの形成方法を適用して、製造することができる。

【0024】回路基板101は、エポキシを含む材料からなる基板111上に内層回路102が形成される積層板を用いる。図3(A)を参照すると、内層回路102上には、感光性樹脂112が塗布されている。さらに、図3(B)に示すように、感光性樹脂112表面の一部に斜光材113を配置し、上方から一様に光114を照射する。すると、図3(C)に示すとおり、光114が照射された領域における感光性樹脂112は、内層回路102上で硬化し、一方、斜光材113が設けられた部分のみ、光114が照射されないため、樹脂112は硬化せずに除去され、内層回路102の一部が露出される。さらに、その感光性樹脂112上および露出した内層回路102上に、めっき工法等により、実装用パッド103を形成する。最後に、実装用パッドの表面に対して研磨が施される。

【0025】凹状に形成された実装用パッド103を備

える回路基板101の形成方法は、フォビア法に限られるものではなく、レーザ光を用いた穴開け技術を適用しても良い。

【0026】実装用パッド103の厚みに関しては、周知のめっき工法により所望の厚みを得ることができるため、特に限定されないが、本実施形態では、例えば、20 μ m程度とする。また、実装用パッド103の凹部形状は、特に限定されるものではないが、本実施形態では、開口径を90 μ m、底面の直径を50 μ mの円形状のものを採用する。

【0027】図2(B)を参照すると、回路基板101上の半導体素子105を搭載する領域に封止樹脂109が供給される。封止樹脂の供給方法としては、スクリーン印刷工法を適用することができるが、この工法に限定されるものではなく、他の公知の方法、例えば、ディスペンサーを用いて封止樹脂109を回路基板101上に供給する方法等も適用することができる。また、封止樹脂109としては、エポキシ系の熱硬化型即硬化性樹脂で硬化収縮率の値が熱膨張率の値よりも大きい樹脂が使用される。本実施形態では、例えば、封止樹脂109として、270℃の加熱を30秒ほど行うことにより硬化が完了するものを使用する。

【0028】なお、本実施形態において、封止樹脂としては、加熱硬化するものに限らず、紫外線を照射することにより硬化する樹脂等も用いることができる。

【0029】次に、図2(C)に示すように、半導体素子105の下面に形成された複数のバンパ電極107と回路基板101上の実装用パッド103の底面110との位置とが対応するように位置合わせが行われる。

【0030】ここで、テールを有するバンパ電極の形成方法は、図4(A)および(B)に示すとおり、ワイヤボンディング法を適用して形成することができる。バンパ電極を形成するためのワイヤの材質としては、金あるいは金を含む合金が適用される。特に、99.999%高純度の金に特定の元素添加と熱処理を行うことによって生成された材料が用いられる。

【0031】図4(A)を参照すると、先端が球状に形成されたボンディングワイヤ115がツール116により、電極108上に所定の押圧力で圧接される。次に、図4(B)に示すとおり、ツール116を所定の力で、電極108に対して真上に引き上げることによって、一定の高さでボンディングワイヤ115を破断させ、略球状の部分に高さばらつきのない尖形状のテールが備えられたバンパ電極107を電極108上に形成することができる。

【0032】また、本実施形態のバンパ電極107の形状としては、図5に示すとおり、バンパ径が80 μ m、テール径20 μ m、バンパ厚40 μ mおよびテール長50 μ mとする。しかしながら、これらのサイズは、特にこれに限定されるものではなく、例えば、バンパ径は、

半導体素子105上に設けられる電極108の大きさに応じて適宜設計され、また、テール径も、所望のバンプ径に応じて用いられるボンディングワイヤ115の径にはほぼ一致する。また、テール長は、これは、バンプ全長、バンプ厚とテール長の合計である、に対し、40%から70%程度に設計されることが可能であるが、好ましくは、50%から60%程度の高さとするのが好ましい。テール長が、バンプ全長に対して、短すぎたり、あるいは長すぎたりする場合には、半導体素子と回路基板を接続する際に、バンプ電極の高さにばらつきが生じ易く、結果として、良好な接続状態を得ることができない。

【0033】さらに、図2(D)を参照すると、半導体素子105が、回路基板101に加圧・加熱される。ここで、加圧量は、バンプ電極107が変形するのに十分な量とし、本実施形態では、バンプ電極1071個当たり30グラムとする。また、加熱量は、半導体素子105側を270度、回路基板101側を80度で、保持時間30秒とする。なお、バンプ電極107の変形量は、テール106のほぼ全体が変形することが好ましいが、塑性変形後のテール106の高さが、変形前のテール長の少なくとも50%以下となるようにする。

【0034】テール107と実装用パッド103の底面110との接触面積が、テール106の塑性変形に進行につれて、点から面へ拡大されていく。したがって、バンプ電極107と実装用パッド103との接触部から完全に封止樹脂109を排除することができ、接続状態を良好にすることができる。さらに、接触面積が拡大されるため、安定した接続状態を得ることができる。

【0035】また、バンプ電極107から実装用パッド103が受ける押圧力は、実装用パッド103の下層に配置される内層回路102で分散される。したがって、実装用パッド103の変形を低減することができる。

【0036】次に、本発明の第2の実施形態について図6(A)～(C)および図7(A)～(D)を参照して詳細に説明する。

【0037】図6(A)を参照すると、半導体素子105および半導体素子105に配置されるテール106を有する複数のバンプ電極107は、前述の第1の実施形態の構成と同様である。したがって、バンプ電極107の形成方法も、図4(A)および(B)で示した方法を適用することができ、また、バンプ電極107の形状も、図5に示した形状を適用できる。一方、内層回路102を有する積層構造の回路基板101には、底面117が内層回路102と接するような凹状の実装用パッド118が設けられている。実装用パッド118の凹部の断面形状は、図6(A)に示すとおり、台形状であり、底面117の径が凹部の開口の径よりも大きい。このような形状を有する実装用パッド118を設けた回路基板101の形成方法は、基本的には、図3(A)～(D)

で示したプリント基板に対するビルドアップ工法のフォトリソグラフィーの形成方法を適用することができるが、本実施形態では、実装用パッド118の凹部の断面形状を台形とするために、フォトリソグラフィーの形成時に研磨量を調整する必要がある。

【0038】本実施形態では、実装用パッド118の凹部の形状として、開口径が40 μ m、底面の直径が50 μ mである円形状のものを使用する。

【0039】本実施形態における半導体素子105を回路基板101に実装する工程は、図1(A)～(C)および図2(A)～(D)で示した第1の実施形態と同様である。しかしながら、半導体素子105を回路基板101に加圧・加圧して、バンプ電極107を塑性変形させる場合、変形後のテール106の最大径が、実装用パッド118の開口径よりも大きくすることが好ましい。こうすることにより、バンプ電極107が実装用パッド118の開口部分に引っかかり、実装用パッド118の凹部内部に固定される。したがって、バンプ電極107と実装用パッド118との接続保持力が、封止樹脂109の収縮力のみではなく、構造的な係止作用による物理的な保持力が加わるため、接続信頼性をさらに向上させることができる。本実施形態では、構造的な接続保持力を得ることができるため、封止樹脂として硬化収縮率の値が熱膨張率の値よりも小さいものでも使用することができる。

【0040】本発明の第1の実施形態および第2の実施形態では、実装用パッドが凹状に形成され、さらに、回路基板として、内層回路を有する積層構造のものを使用する例を示したが、本発明は、これらに限定されるものではない。

【0041】図8(A)～(C)に示す本発明の第3の実施形態では、基板119は、内層回路を有しおらず、その上面に実装用パッド120が形成されている。また、実装用パッド120は、凹状に形成されていない。一方、半導体素子105に形成されるバンプ電極107は、その形成方法および形状ともに、既に説明された本発明の第1および第2の実施形態のバンプ電極と同様のものである。

【0042】なお、図8(A)から(C)に示される半導体素子105を基板119に実装する工程は、基本的に、図1(A)～(C)で示された方法と同様である。本実施形態では、基板119が内層回路を有していないため、半導体素子105による基板119への押圧力を大きくし過ぎると、実装用パッド120の変形を招くために注意が必要である。一方、バンプ電極107の塑性変形を利用して、バンプ電極107と実装用パッド120との接触面積が点から面へ拡大するために、バンプ電極107と実装用パッド120との間に余計な封止樹脂が残留することを防ぐことができ、従来の実装構造と比較して、接続状態を良好にすることができる。

【0043】

【発明の効果】以上説明したとおり、本発明の半導体装置の実装方法および実装構造では、半導体装置に設けたバンパ電極の先端に尖状のテールを設け、このテールと実装用パッドとの接触面積が、テールの塑性変形に進行につれて、点から面へ拡大されるように、半導体装置を基板に押しつけて、両者を接続している。したがって、バンパ電極と実装用パッドとの接触部から完全に封止樹脂を排除することができ、接続状態を良好にすることができる。さらに、接触面積が拡大されるため、安定した接続状態を得ることができる。

【0044】さらに、基板として、内層回路を有する積層構造の基板を使用し、その基板状に形成される実装用パッドを、底面が内層回路と接触するような凹部形状とすることによって、バンパ電極から実装用パッドが受ける押圧力は、実装用パッドの下層に配置される内層回路で分散される。したがって、実装用パッドの変形を低減することができ、接続状態を良好に保つことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の主要部の構成および実装工程を示す図である。

【図2】本発明の第1の実施形態の構成および実装工程を示す図である。

【図3】本発明の第1の実施形態における回路基板の構

成および形成工程を示す図である。

【図4】本発明の第1の実施形態におけるテールを有するバンパ電極の形成工程を説明する図である。

【図5】本発明の第1の実施形態におけるテールを有するバンパ電極の寸法を示す図である。

【図6】本発明の第2の実施形態の主要部の構成および実装工程を示す図である。

【図7】本発明の第2の実施形態の構成および実装工程を示す図である。

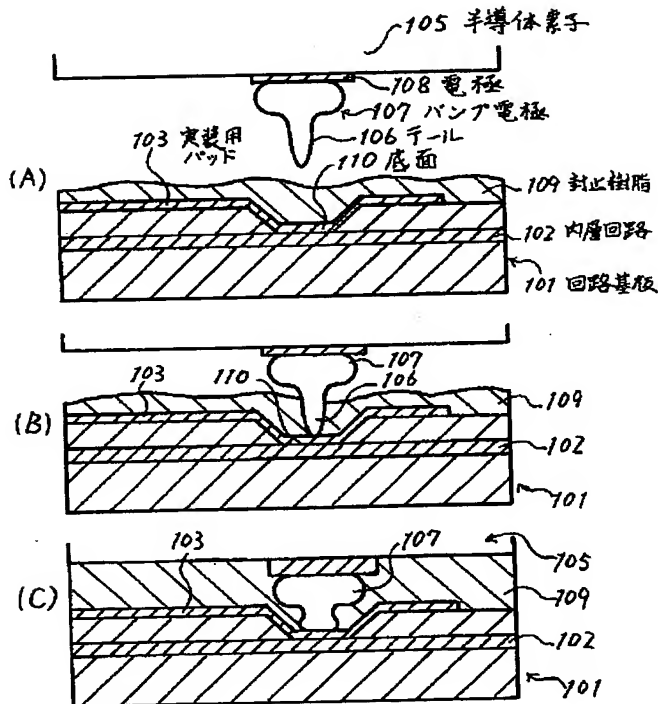
【図8】本発明の第3の実施形態の構成および実装工程を示す図である。

【図9】従来のフリップチップ方式による半導体素子を回路基板に実装した構成を示す図である。

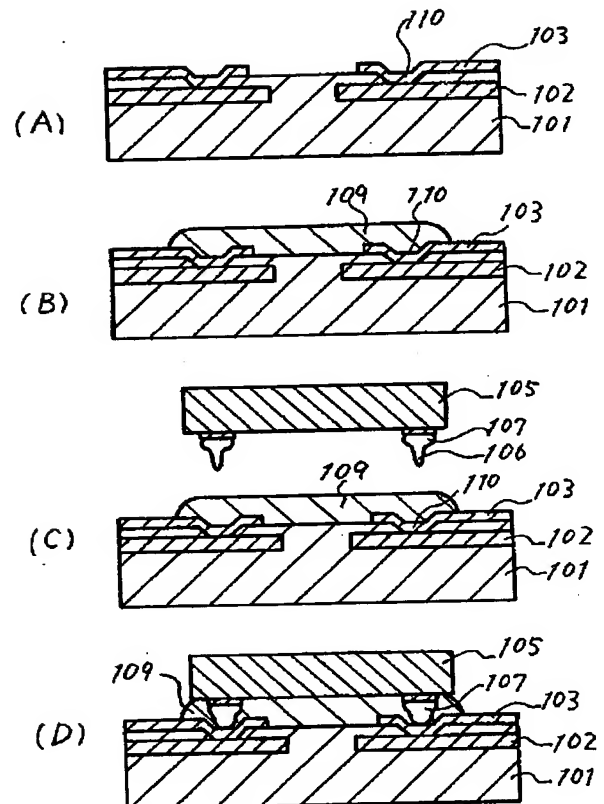
【符号の説明】

- 101 回路基板
- 102 内層回路
- 103 実装用パッド
- 105 半導体素子
- 106 テール
- 107 バンパ電極
- 108 電極
- 109 封止樹脂
- 110 底面

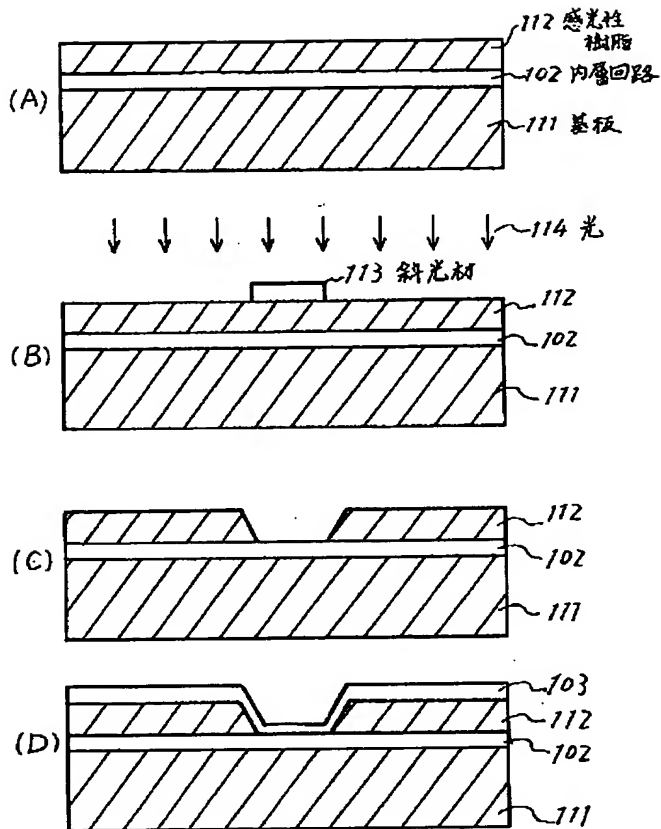
【図1】



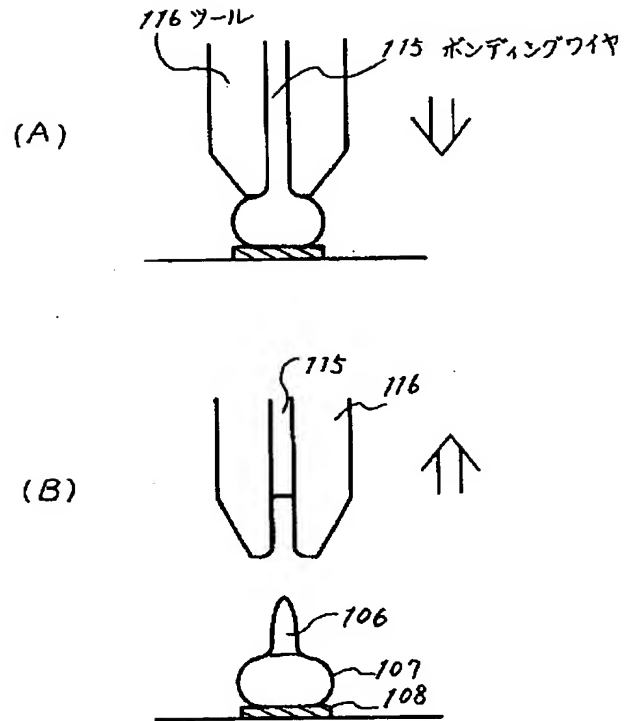
【図2】



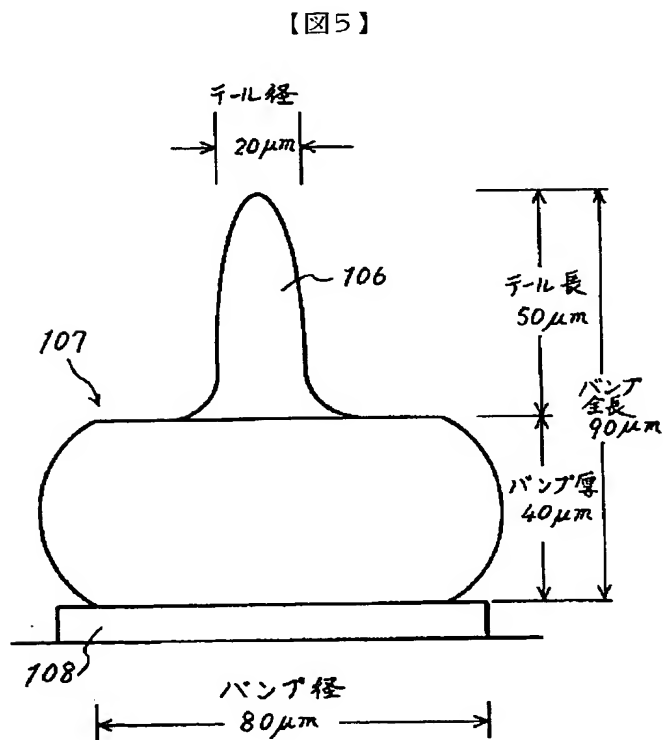
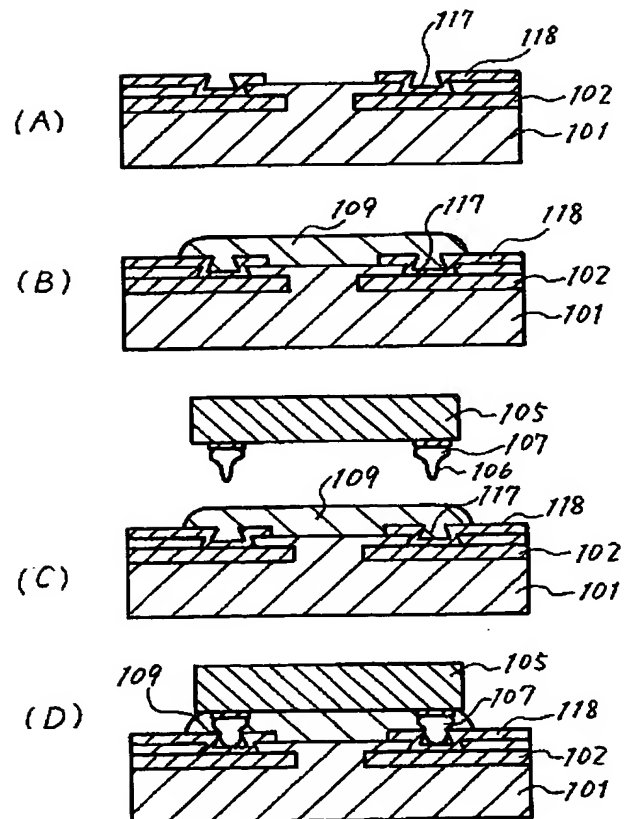
【図3】



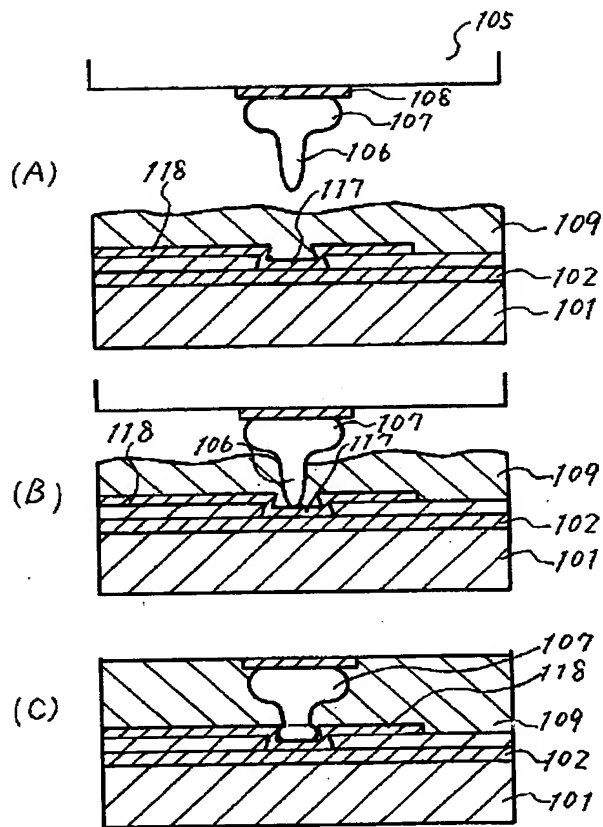
【図4】



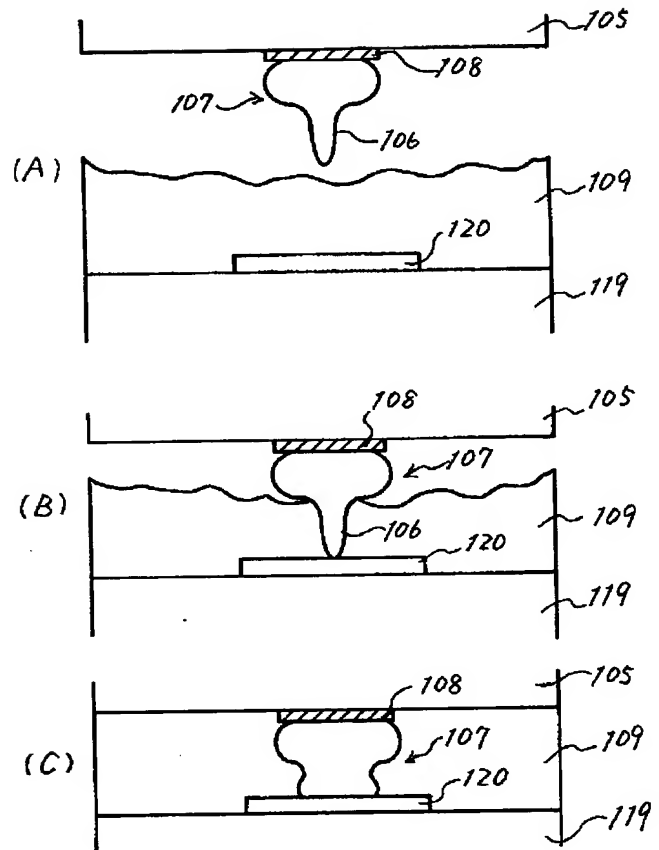
【図7】



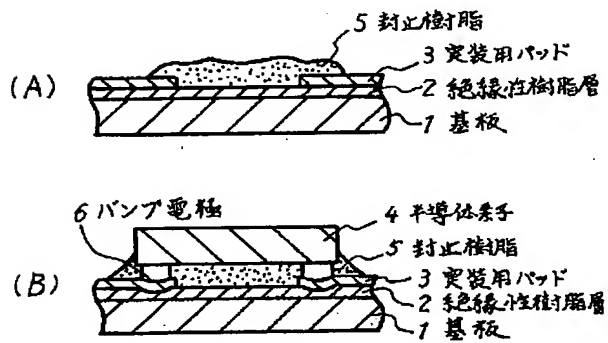
【図6】



【図8】



【図9】



BEST AVAILABLE COPY